

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-003591

(43)Date of publication of application : 07.01.2000

(51)Int.Cl.

G11C 11/409  
G11C 11/413  
G11C 11/407  
H03K 19/0175

(21)Application number : 10-164753

(71)Applicant : NEC CORP

(22)Date of filing : 12.06.1998

(72)Inventor : OHASHI MASAYUKI

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To prevent the destruction of an output-use transistor at the time of high power source voltage without increasing the number of output-use transistors for outputting output voltage in accordance with signal voltage supplied to a gate.

**SOLUTION:** This integrated circuit device is provided with a boosting circuit 12 constituted of an output-use transistor Q1 for outputting output voltage in accordance with signal voltage OUTT supplied to a gate, a pumping capacitor C1 and a delay circuit DL1 for supplying the voltage of power source voltage VCC or above to the gate of the transistor Q1 by superimposing boosting voltage on the signal voltage. In this case the device is provided with a voltage detecting circuit 21 constituted of voltage dividing resistors R1, R2 for detecting the voltage of power source voltage VCC, the reference voltage VREF and a comparator CM1. By the boosting circuit 12, the destruction of the transistor Q1 can be prevented by stopping the superimposing of charging voltage of the capacitor C1 for signal voltage OUTT to be supplied to the gate of the transistor Q1 by the pumping capacitor C1.

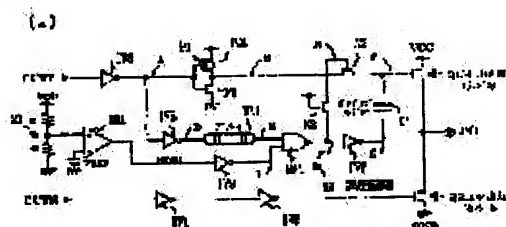


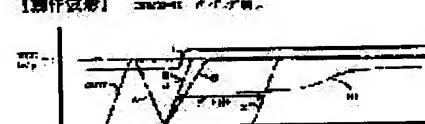
Fig. 1

【動作波形】



(c)

【動作波形】



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開2000-3591

(P2000-3591A)

(43)公開日 平成12年1月7日(2000.1.7)

(51)Int.Cl. <sup>7</sup>	識別記号	FI	テーマコード(参考)	
G11C 11/409		G11C 11/34	354Q	5B015
11/413			335A	5B024
11/407			354F	5J056
H03K 19/0175		H03K 19/00	101F	

審査請求 有 請求項の数7 OL (全14頁)

(21)出願番号 特願平10-164753

(22)出願日 平成10年6月12日(1998.6.12)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 大橋 正幸

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100081433

弁理士 鈴木 孝夫

Fターム(参考) 5B015 AA10 BA64 CA02

5B024 AA15 BA29 CA10 CA11

5J056 AA04 BB46 BB57 CC00 CC05

CC09 CC29 CC30 DD13 DD28

DD51 FF06 FF09 GG08 KK01

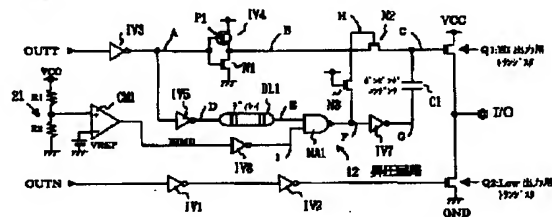
(54)【発明の名称】 半導体集積回路装置

(57)【要約】

【課題】 ゲートに供給される信号電圧に応じた出力電圧を出力する出力用トランジスタの数を増やすことなく、高電源電圧時における出力用トランジスタの破壊を防止する。

【解決手段】 ゲートに供給される信号電圧OUTTに応じた出力電圧を出力する出力用トランジスタQ1と、前記信号電圧に昇電圧を重畳して電源電圧VCC以上の電圧を前記出力用トランジスタQ1のゲートに供給するポンピングコンデンサC1、遅延回路DL1等で構成される昇圧回路12とを備える半導体集積回路装置において、電源電圧VCCの電圧を検出する分圧抵抗R1、R2、基準電圧VREF、比較器CM1で構成される電圧検出回路21を設け、また昇圧回路12には、電源電圧が高電圧よりも高電圧となったときに、ポンピングコンデンサC1による出力用トランジスタQ1のゲートに供給される信号電圧OUTTへのコンデンサC1の充電電圧の重畳を停止させ、出力用トランジスタQ1の破壊を防止する構成とする。

(a)



(b)

【動作波形】

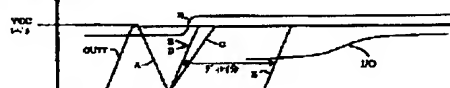
BIMD=Low



(c)

【動作波形】

BIMD=Hi: ポンプ停止



## 【特許請求の範囲】

【請求項 1】 ゲートに供給される信号電圧に応じた出力電圧を出力する出力用トランジスタと、前記信号電圧に昇電圧を重畳して電源電圧以上の電圧を前記出力用トランジスタのゲートに供給する昇圧手段とを備える半導体集積回路装置において、前記電源電圧の電圧を検出する電源電圧検出手段と、前記電源電圧が設定電圧よりも高電圧となったときに前記出力用トランジスタに供給する信号電圧を降圧する手段とを備えることを特徴とする半導体集積回路装置。

【請求項 2】 ゲートに供給される信号電圧に応じた出力電圧を出力する出力用トランジスタと、前記信号電圧に昇電圧を重畳して電源電圧以上の電圧を前記出力用トランジスタのゲートに供給する昇圧手段とを備える半導体集積回路装置において、前記電源電圧の電圧を検出する電源電圧検出手段と、前記電源電圧が設定電圧よりも高電圧となったときに前記昇圧手段による昇電圧の重畳を停止させる手段とを備えることを特徴とする半導体集積回路装置。

【請求項 3】 ゲートに供給される信号電圧に応じた出力電圧を出力する出力用トランジスタと、前記信号電圧に昇電圧を重畳して電源電圧以上の電圧を前記出力用トランジスタのゲートに供給する昇圧手段とを備える半導体集積回路装置において、前記昇圧手段はそれぞれの電圧を加算したときに前記昇電圧となる複数の昇電圧を生成する手段を有し、前記電源電圧の電圧を検出する電源電圧検出手段と、前記電源電圧が設定電圧よりも高電圧となったときに前記複数の昇電圧の一部を選択して重畳する手段とを備えることを特徴とする半導体集積回路装置。

【請求項 4】 ゲートに供給される信号電圧に応じた出力電圧を出力する出力用トランジスタと、前記信号電圧に昇電圧を重畳して電源電圧以上の電圧を前記出力用トランジスタのゲートに供給する昇圧手段とを備える半導体集積回路装置において、前記昇圧手段は異なる複数の昇電圧を生成する手段を有し、前記電源電圧の電圧を検出する電源電圧検出手段と、前記電源電圧が設定電圧よりも高電圧となったときに前記複数の昇電圧を高電圧の昇電圧から低電圧の昇電圧に切り替える手段とを備えることを特徴とする半導体集積回路装置。

【請求項 5】 前記昇圧手段は、前記出力用トランジスタのゲートに一端が接続された 1 以上のポンピングコンデンサと、前記ポンピングコンデンサの他端に前記信号電圧を遅延して供給する遅延回路とを備え、前記ポンピングコンデンサの他端に前記信号電圧が供給されるまでの間に前記ポンピングコンデンサを充電し、前記信号電圧が供給された時点で前記ポンピングコンデンサに充電された電圧分を前記信号電圧に重畳して前記ポンピングコンデンサの一端を昇圧する構成である請求項 2 ないし 4 のいずれかに記載の半導体集積回路装置。

【請求項 6】 前記電源電圧を検出する手段は、電源電圧と密接な関係のある前記出力用トランジスタのゲートに印加される電圧を検出する手段として構成されている請求項 1 ないし 5 のいずれかに記載の半導体集積回路装置。

【請求項 7】 前記電源電圧を検出する手段の出力端には、次の信号電圧が入力されるまでの間、検出した検出値を保持するためのラッチ手段が設けられる請求項 6 に記載の半導体集積回路装置。

## 10 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体集積回路装置に関し、特に信号電圧の出力回路に、出力電圧を電源電圧レベルにまで昇圧するための昇圧回路を備える半導体集積回路装置に関する。

【0002】

【従来の技術】DRAM（ダイナミックランダムアクセスメモリ）等の半導体集積回路装置では、内部回路を構成するメモリセルアレイと外部との間でデータを入出力する入出力回路内に、内部回路から読み出したデータの Hi レベルを電源電圧 VCC 又はこれに近い電圧として出力するための昇圧回路を設けたものがある。図 7 はその概略を示すチップの一部の模式図であり、チップ 1 には内部回路 2、入出力回路 3、電源（VCC）パッド 4、1/O 端子としての入出力パッド 5 が設けられており、前記入出力回路 3 は前記内部回路 1 と入出力パッド 5 との間に設けられる。前記入出力回路 3 には Hi 出力用トランジスタ Q1 と Low 出力用トランジスタ Q2 が設けられ、前記電源パッド 4 に供給される VCC 電圧を電源とし、前記内部回路 1 からの Hi 出力信号 OUTT と Low 出力信号 OUTN とで各トランジスタ Q1、Q2 が駆動されて前記入出力パッド 5 に信号を出力する。また、前記入出力回路 3 には、Hi 出力用トランジスタ Q1 により出力される Hi 出力の電圧を VCC 又はこれに近い電圧に昇圧するための昇圧回路 10 が設けられている。前記昇圧回路 10 は、電源電圧 VCC が低電圧の場合にも入出力パッド 5 から所定以上の出力電圧を出力することができるように設けられる。すなわち、この種のチップは、電源電圧 VCC の定格範囲、例えば 3.0 V から 4.0 V の範囲で使用することが規定されることがあり、その場合に低電圧で使用するとその出力電圧も低下されてしまう。そこで、このような電源電圧が低い場合でも所望の出力電圧を出力することができるように出力電圧を昇圧するための昇圧回路を入出力回路内に設けている。

【0003】図 6（a）はその一例の回路図である。入出力回路は VCC と GND の間に接続された NMOS トランジスタからなる Hi 出力用トランジスタ Q1 と Low 出力用トランジスタ Q2 で構成されており、メモリセルから読み出したデータ OUTT、OUTN をそれぞれ

前記各出力用トランジスタQ1、Q2に入力してオンさせることで、出力にVCC、GNDを出力する。このとき、前記Hi出力用トランジスタQ1がNMOSTランジスタであるため、トランジスタのVtだけ電圧降下される。そこで、前記データ出力OUTTとHi出力用トランジスタQ1との間に昇圧回路10が設けられる。この昇圧回路10では、前記データ出力OUTTにインバータIV3、PMOSTランジスタP1とNMOSTランジスタN1で構成されるインバータIV4、及びNMOSTランジスタN2を接続する。また、前記インバータIV3の出力側にインバータIV5、遅延回路DL1、インバータIV6、IV7、ポンピングコンデンサC1を接続して前記Hi出力用トランジスタQ1のゲートに接続する。また、前記NMOSTランジスタN2のゲートと前記インバータIV6の出力端の間には、ゲートをVCCに接続したNMOSTランジスタN3のソース、ドレインが接続されている。また、前記データ出力OUTNはインバータIV1、IV2を介して前記Low出力用トランジスタQ2のゲートに入力される。

【0004】この構成では、図6(b)に動作波形図を示すように、データ出力OUTT、OUTNが共に“Low”のときには、Hi出力用トランジスタQ1とLow出力用トランジスタQ2はいずれもオフ状態であり、I/O出力はフローティング状態である。データ出力OUTTが“Low”から“Hi”になると、インバータIV3によりA点は“Low”となり、B点及びD点はそれぞれ“Hi”となる。特に、B点はインバータIV4のPMOSTランジスタP1を通してVCCレベルとなる。このとき、遅延回路DL1によりD点のHiレベルはE点に達していないため、E点は“Low”、F点は“Hi”となり、NMOSTランジスタN3によりNMOSTランジスタN2はオン状態であり、C点はNMOSTランジスタN2を通して“Hi”となり、VCC電圧となる。また、このときG点は“Low”となっている。そして、D点の“Hi”が遅延回路DL1により設定時間だけ遅れてE点に伝達され、インバータIV6によりF点は“Low”となり、G点は“Hi”となる。F点が“Low”になると、NMOSTランジスタN2はオフとなり、C点が切り離される。また、同時にG点が“Hi”になるため、ポンピングコンデンサC1に充電された電圧VαだけC点はG点よりも押し上げられる。これにより、Hi出力用トランジスタQ1がオンされ、I/O端子には、“Hi”レベルとしてVCCレベルの電圧が出力されることになる。なお、データ出力OUTNが“Low”から“Hi”になると、Low出力用トランジスタQ2がオンし、I/O端子には“Low”としてのGND電圧が出力される。このように、昇圧回路10での昇圧電圧Vαを適宜設定することにより、データ出力OUTTの“Hi”の出力によりI/O端子にはVCC電圧の“Hi”の出力を得ることができ

る。

【0005】

【発明が解決しようとする課題】このように、入出力回路に昇圧回路を設けたチップでは、電源電圧が低い場合には前記したように所望の出力電圧を出力することができ、反面、電源電圧が高い場合にも昇圧回路が動作されると、昇圧レベルが高くなり過ぎてしまい出力用トランジスタのゲートに耐圧以上の電圧が印加され、出力用トランジスタが破壊されてしまうおそれがある。そこで、従来では、このような出力用トランジスタが破壊されるおそれのある高電圧が印加される状態、例えば、半導体装置のスクリーニングを行うためのバーンインテスト時に、VCC電圧が高電圧となった状態を検出して前記遅延回路及びコンデンサを用いた昇圧回路の動作を停止させることで、出力用トランジスタへの過大なゲート電圧を防止する技術が提案されている。例えば、特開平8-153390号公報に記載の技術では、前記したHi出力用トランジスタと並列に、昇圧回路を有していないNMOSTランジスタからなる第2のHi出力用トランジスタを接続しておき、通常時には前記(第1の)Hi出力用トランジスタを選択することで前記した昇圧した出力を得る一方で、バーンイン時には第2のHi出力用トランジスタを選択することで昇圧が行われない状態での出力を得ることができ、これにより特にバーンイン時でのHi出力用トランジスタの破壊を防止している。

【0006】しかしながら、この従来の技術では、電源電圧が高い時と低い時とで出力用トランジスタを切り替えて使用するために、図6(a)に示した回路に比較すると、1つのデータ出力に対して1つのHi出力用トランジスタを増やすことが必要とされるため、入出力回路における出力用トランジスタの規模が増大する。特に、出力用トランジスタは内部回路のMOSTランジスタや、前記したインバータや遅延回路等を構成するMOSTランジスタに比較してその占有面積が大きいので、データ出力の数に比例して増加した出力用トランジスタが入出力回路に占める面積の増大の影響は大きくなり、これがメモリセルを含むDRAMの全体に影響をおよぼし、高集積なDRAMを構築することが困難になる。また、前記した従来技術では、昇圧回路での昇圧を行うか、停止するかはいずれかであり、昇圧電圧の中間の電圧の昇圧を行うことができず、昇圧回路の動作を停止したときの出力電圧がいたずらに低すぎてしまうことが生じることもある。

【0007】本発明の目的は、出力用トランジスタを増やすことなく、VCC電圧が上昇したときの出力用トランジスタの破壊を防止することを可能にした半導体集積回路装置を提供することにある。また、本発明の目的は、高電源電圧時においても適切な出力電圧を確保することができる半導体集積回路装置を提供することにある。

【0008】

【課題を解決するための手段】本発明は、ゲートに供給される信号電圧に応じて出力端子に電圧を出力する出力用トランジスタと、前記信号電圧に昇電圧を重畳して電源電圧以上の電圧を前記出力用トランジスタのゲートに供給する昇圧手段とを備える半導体集積回路装置において、前記電源電圧の電圧を検出する電源電圧検出手段と、前記電源電圧が設定電圧よりも高電圧となったときに前記出力用トランジスタのゲートに供給する電圧の増加を抑制する手段とを備える。このゲートに供給する電圧の増加を抑制する手段として、本発明では、第1の発明として、電源電圧が設定電圧よりも高電圧となったときに出力用トランジスタに供給する信号電圧を降圧する手段として構成する。第2の発明として、電源電圧が設定電圧よりも高電圧となったときに前記昇圧手段による昇電圧の重畳を停止させる手段として構成する。第3の発明として、昇圧手段に複数の昇電圧を生成する手段を設け、電源電圧が設定電圧よりも高電圧となったときに前記複数の昇電圧の一部を選択して重畳する手段として構成する。第4の発明として、昇圧手段に異なる複数の昇電圧を生成する手段を有し、電源電圧が設定電圧よりも高電圧となったときに前記複数の昇電圧を高電圧の昇電圧から低電圧の昇電圧に切り替える手段として構成する。また、本発明においては、電源電圧を検出する手段として、電源電圧と密接な関係のある出力用トランジスタのゲートに印加される電圧を検出する手段として構成してもよい。

【0009】本発明によれば、電源電圧が設定電圧よりも高電圧となったときに、出力用トランジスタのゲートに供給する信号電圧を低下させ、あるいは信号電圧に重畳する昇電圧を低電圧とすることで、出力用トランジスタのゲートに供給する電圧の増加が抑制され、出力用トランジスタの破壊が防止される。また、出力用トランジスタの数を増やす必要がなく、出力用トランジスタが入出力回路に占める面積を低減し、メモリセルを含むDRAM等の半導体集積回路装置の高集積化を実現することが可能となる。さらに、高電源電圧時においても、制御された昇圧動作を実行して適切な出力電圧を得ることが可能となる。

【0010】

【発明の実施の形態】次に、本発明の実施形態を図面を参照して説明する。図1(a)は本発明の第1の実施形態の回路図である。この第1の実施形態では、図7に示したようなチップの入出力回路として適用されたものであり、この入出力回路の基本的な構成は図6(a)に示した従来構成と共通しており、Hi出力用トランジスタQ1とLow出力用トランジスタQ2のソース・ドレインが縦続接続されてVCCとGNDとの間に接続され、かつ両出力用トランジスタQ1、Q2の接続点がI/O端子とされる。また、前記入出力回路には、図外のメモ

リセルからのデータ出力OUTT、OUTNが入力されており、データ出力OUTTは昇圧回路11を介して前記Hi出力用トランジスタQ1のゲートに、データ出力OUTNは2つのインバータIV1、IV2を介して前記Low出力用トランジスタのゲートに接続されている。前記昇圧回路11は、前記データ出力OUTTの入力端に接続されたインバータIV3の出力側を2つの経路に分岐し、一方の経路にはPMOSTランジスタP1とNMOSTランジスタN1で構成されるインバータIV4、及びNMOSTランジスタN2を介挿し、他方の経路にはインバータIV5、遅延回路DL1、インバータIV6、IV7、及びボンピングコンデンサC1を介挿し、それぞれを前記Hi出力用トランジスタQ1のゲートに接続している。また、前記NMOSTランジスタN2のゲートと前記インバータIV6、IV7の接続点との間に、ゲートをVCCに接続したNMOSTランジスタN3のソース・ドレインが接続されている。

【0011】前記インバータIV4は、PMOSTランジスタP1とNMOSTランジスタN1のゲートとソースをそれぞれ相補接続したインバータ回路として構成されており、NMOSTランジスタN1のドレインはGNDに接続される。また、PMOSTランジスタP1のドレインには、第2のPMOSTランジスタP2とNMOSTランジスタN4の各ソースが接続されている。前記NMOSTランジスタN4はゲート及びドレインがVCCに接続され、前記第2のPMOSTランジスタP2はドレインがVCCに接続され、ゲートには電圧検出回路21が接続され、高電源電圧時に前記電圧検出回路21から出力されるBIMD信号が入力されるように構成される。なお、ここでは前記各NMOSTランジスタN1～N4は同一規格で構成されており、各トランジスタのVtは等しいものとする。

【0012】前記電圧検出回路21はオペアンプで構成される比較器CM1と、この比較器CM1の反転入力端にVCCを分圧した電圧を入力する分圧抵抗R1、R2と、前記比較器CM1の非反転入力端に基準電圧VREFを入力する基準電圧源とで構成される。ここで、前記基準電圧源の基準電圧VREFは、VCCを分圧抵抗R1、R2で分圧した電圧Vd〔 $V_d = VCC \cdot R2 / (R1 + R2)$ 〕よりも若干高い電圧（ $VREF > V_d$ ）に設定される。したがって、低電圧動作時には、前記比較器CM1からは“Low”が出力されるため、第2のPMOSTランジスタP2はオン状態であり、高電圧動作時に高電圧VCCが印加されたときに、前記比較器CM1から“Hi”が出力され、前記第2のPMOSTランジスタP2はオフ状態となる。

【0013】この第1の実施形態の入出力回路では、通常動作、すなわちVCCが通常電圧のときには、図1(b)に動作波形図を示すように、比較器CM1に入力される分圧電圧Vdは基準電圧VREFよりも低電圧で

あるため、電圧検出回路21の出力B IMDは“Low”となる。このため、第2のPMOSTランジスタP2はオンである。したがって、インバータIV4を構成するPMOSTランジスタP1のドレインにはVCCが印加されている。したがって、この状態でデータ出力OUTTが“Hi”となると、図6に示した従来の入出力回路の場合と同様にB点及びC点はVCCとなり、昇圧回路11によってI/O端子にVCCレベルが出力される。また、データ出力OUTNが“Low”となった場合についても同様である。

【0014】一方、VCCが高電圧になると、電圧検出回路21の分圧電圧Vdが基準電圧VREFよりも高電圧となるため、出力B IMDは“Hi”となる。このため、第2のPMOSTランジスタP2はオフとなり、インバータIV4のPMOSTランジスタP1のドレインには、NMOSTランジスタN4を通してVCCからNMOSTランジスタN4のVtだけ低い電圧(VCC-Vt)が印加されることになる。このため、図1(c)の動作波形図のように、データ出力OUTTが“Hi”になったときに、インバータIV4の出力のB点はVCC-Vtの電位となり、C点はVCC-Vtの電位となる。このため、遅延回路DL1によってG点が遅延されて“Hi”になったときに、C点の電位がポンピングコンデンサC1により電圧Vαだけ押し上げられたとしても、C点の電位は通常動作よりVt分低いレベルになる。これにより、高電源電圧時においても、C点の電位は図6の従来に比較してVtだけ低圧状態となり、Hi出力用トランジスタQ1の破壊を防止することが可能となる。

【0015】図2(a)は本発明の第2の実施形態の回路図である。この第2の実施形態では、高電源電圧時にポンピングコンデンサでのポンピングを停止するように構成したものであり、その構成の一部には、前記した従来構成、及び第1の実施形態と共通する部分を含んでいる。すなわち、入出力回路には、Hi出力用トランジスタQ1とLow出力用トランジスタQ2のソース・ドレインが縦続接続されてVCCとGNDとの間に接続され、かつ両出力用トランジスタQ1、Q2の接続点がI/O端子とされる。また、前記入出力回路には、図外のメモリセルからのデータ出力OUTT、OUTNが入力されてお

10

20

30

40

50

DL1、2入力ナンドゲートNA1、インバータIV7、及びポンピングコンデンサC1を介挿し、それぞれを前記Hi出力用トランジスタQ1のゲートに接続している。また、前記NMOSTランジスタN2のゲートと前記ナンドゲートNA1とインバータIV7の接続点との間に、ゲートをVCCに接続したNMOSTランジスタN3のソース・ドレインが接続されている。

【0016】前記2入力ナンドゲートNA1は、一方の入力端には前記遅延回路DL1の出力が入力されるが、他方の入力端には、電圧検出回路21の出力がインバータIV8を介して入力される構成となっている。前記電圧検出回路20は、第1の実施形態と同一の構成であり、オペアンプで構成される比較器CM1と、この比較器CM1の反転入力端にVCCを分圧した電圧を入力する分圧抵抗R1、R2と、前記比較器CM1の非反転入力端に基準電圧VREFを入力する基準電圧源とで構成される。そして、通常動作時には、前記比較器CM1からは出力B IMDとして“Low”が出力されるため、2入力ナンドゲートNA1には“Hi”が入力され、遅延回路DL1からの出力が2入力ナンドゲートNA1を通過する。また、高電源電圧時に高電圧VCCが印加されたときに、前記比較器CM1から出力B IMDとして“Hi”が出力されるため、インバータIV8により2入力ナンドゲートNA1には“Low”が入力され、遅延回路DL1からの出力を無効とし、2入力ナンドゲートNA1の出力を“Hi”に保持することになる。

【0017】この第2の実施形態の入出力回路では、VCCが低電源電圧のときの動作は、図2(b)に示す動作波形となり、従来の場合と同じである。すなわち、データ出力OUTTが“Low”から“Hi”になると、インバータIV3によりA点は“Low”となり、B点及びD点はそれぞれ“Hi”となる。特に、B点はインバータIV4のPMOSTランジスタP1を通してVCCレベルとなる。このとき、遅延回路DL1によりD点のHiレベルはE点に達していないため、E点は“Low”、F点は“Hi”となり、NMOSTランジスタN3によりNMOSTランジスタN2はオン状態であり、C点はNMOSTランジスタN2を通して“Hi”となり、VCCよりもNMOSTランジスタN2のVtだけ低い電圧となる。また、このときG点は“Low”となる。そして、D点の“Hi”が遅延回路DL1により設定時間だけ遅れてE点に伝達され、2入力ナンドゲートNA1に入力される。このとき、VCCが通常電圧であるため、比較器CM1に入力される分圧電圧Vdは基準電圧VREFよりも低電圧であり、電圧検出回路20の出力B IMDは“Low”となり、2入力ナンドゲートNA1には“Hi”が入力される。したがって、前記E点の“Hi”は2入力ナンドゲートNA1を通過し、これによりF点は“Low”となり、G点は“Hi”となる。F点が“Low”になると、NMOSTランジスタ



N2はオフとなり、C点が切り離される。また、同時にG点が“Hi”になるため、ポンピングコンデンサC1に充電された電圧 $V_{\alpha}$ だけC点はG点よりも押し上げられる。これにより、Hi出力用トランジスタQ1がオンされ、I/O端子には、“Hi”レベルとしてVCCレベルが出力されることになる。

【0018】一方、VCCが高電圧になると、図2(c)に示す動作波形となり、電圧検出回路21の分圧電圧 $V_d$ が基準電圧 $V_{REF}$ よりも高電圧となり、出力BIMDは“Hi”となる。このため、インバータIV8を通した2入力ナンドゲートNA1の入力は“Low”となる。このため、遅延して伝達されたE点の“Hi”は2入力ナンドゲートNA1を通過されず、F点は“Hi”に保持され、G点は“Low”に保持される。このため、ポンピングコンデンサC1によるC点の電位の押し上げが生じることがなく、C点はVCCの電位に保たれ、これにより、高電源電圧時においても、C点の電位は通常動作時よりも低電圧に保持され、Hi出力用トランジスタQ1の破壊を防止することが可能となる。

【0019】図3(a)は本発明の第3の実施形態の回路図である。この第3の実施形態では、第1及び第2の2つのポンピングコンデンサC11、C12を設け、これらを同時に又は一方のみを動作させるように構成したものである。この第3の実施形態の構成において、第2の実施形態と等価な部分には同一符号を付してある。この第3の実施形態では、昇圧回路13のG点とC点との間に、これまでのポンピングコンデンサC1と同様な第1のポンピングコンデンサC11を接続している。また、電圧検出回路20の出力BIMDと、遅延回路DL1の出力側のインバータIV6の出力を2入力ナンドゲートNA2に inputs し、この2入力ナンドゲートNA2の出力端とC点との間に第2のポンピングコンデンサC12を接続している。ここで、前記第1のポンピングコンデンサC11と第2のポンピングコンデンサC12の各容量を加算した値が、前記第1及び第2の各実施形態のポンピングコンデンサC1の容量と同程度となるように設定しており、ここでは前記各ポンピングコンデンサC11、C12の容量を第1及び第2の実施形態の各ポンピングコンデンサC1の1/2に設定している。

【0020】この第3の実施形態の入出力回路では、VCCが低電圧のときには、図3(b)動作波形図のように、データ出力OUTTが“Low”から“Hi”になると、インバータIV3によりA点は“Low”となり、インバータIV4、IV5によりB点及びD点はそれぞれ“Hi”となる。特に、B点はインバータIV4のPMOSTランジスタP1を通してVCCレベルとなる。このとき、遅延回路DL1によりD点のHiレベルはE点に達していないため、E点は“Low”、F点は“Hi”となり、NMOSTランジスタN3によりNMOSTランジスタN2はオン状態であり、C点はNMO

STランジスタN2を通して“Hi”となり、VCCレベルの電圧となる。また、このときG点は“Low”である。さらに、このとき電圧検出回路21の出力BIMDは“Low”であり、I点は“Hi”であるため、F点のHi”によってJ点は“Low”となる。そして、D点の“Hi”が遅延回路DL1により設定時間だけ遅れてE点に伝達され、さらにF点、G点に伝達され、G点は“Hi”となる。これにより、第1のポンピングコンデンサC11に充電された電圧だけC点はG点よりも押し上げられる。また、これと同時にF点の“Low”によりJ点が“Hi”となるため、第2のポンピングコンデンサC12によってC点が押し上げられる。このとき前記第1及び第2のポンピングコンデンサC11、C12の合計の容量による充電電圧を $V_{\alpha}$ に設定しておけば、Hi出力用トランジスタQ1がオンされたときに、I/O端子には、“Hi”レベルとしてVCCレベルの電圧が出力されることになる。

【0021】一方、VCCが高電圧になると、図3

(c)の動作波形図のように、電圧検出回路21の分圧電圧 $V_d$ が基準電圧 $V_{REF}$ よりも高電圧となり、出力BIMDは“Hi”となる。このため、インバータIV8を通したI点は“Low”となり、結果としてJ点は常時“Hi”となっている。したがって、遅延回路DL1からの出力によりF点が“Low”となり、G点が“Hi”となって第1のポンピングコンデンサC11によってC点の電圧を押し上げることがあっても、第2のポンピングコンデンサC12によるC点の電圧の押し上げが生じることとはなく、C点の電位の押し上げは少なくなり、VCCが低電圧のときよりもC点の電位は低電圧に保持され、Hi出力用トランジスタQ1の破壊を防止することが可能となる。

【0022】図4(a)は本発明の第4の実施形態の回路図である。この第4の実施形態では、第1及び第2の2つのポンピングコンデンサC21、C22を設けている点では第3の実施形態と同じであるが、ここでは各ポンピングコンデンサC21、C22を低電圧時と高電圧時とで選択して動作させるように構成したものである。この第4の実施形態の構成において、第3の実施形態と等価な部分には同一符号を付してある。この第4の実施形態では、昇圧回路14には、電圧検出回路21の出力BIMDをインバータIV8を通した出力と、遅延回路DL1の出力側のインバータの出力を第1の2入力ナンドゲートNA3に inputs し、この第1の2入力ナンドゲートNA3の出力端とC点との間に第1のポンピングコンデンサC21を接続している。また、前記電圧検出回路21の出力BIMDの出力と、前記遅延回路DL1の出力側のインバータIV6の出力を第2の2入力ナンドゲートNA4に inputs し、この第2の2入力ナンドゲートNA4の出力端とC点との間に第2のポンピングコンデンサC22を接続している。ここで、前記第1のポンピン

グコンデンサC21の容量は、前記第1及び第2の実施形態のポンピングコンデンサC1の容量と同程度とし、前記第2のポンピングコンデンサC22の容量は第1のポンピングコンデンサC21の容量よりも小さくしている。ここでは第2のポンピングコンデンサC22の容量を第1のポンピングコンデンサC21の1/2に設定している。

【0023】この第4の実施形態の入出力回路では、VCCが低電圧のときには、図4(b)の動作波形図のように、データ出力OUTTが“Low”から“Hi”になると、インバータIV3によりA点は“Low”となり、インバータIV4、IV5によりB点及びD点はそれぞれ“Hi”となる。特に、B点はインバータIV4のPMOSTランジスタP1を通してVCCレベルとなる。このとき、遅延回路DL1によりD点のHiレベルはE点に達していないため、E点は“Low”、F点は“Hi”となり、NMOSTランジスタN3によりNMOSTランジスタN2はオン状態であり、C点はNMOSTランジスタN2を通して“Hi”となり、VCCレベルとなる。また、このとき電圧検出回路20の出力BIMDが“Low”であるため、J点は“Hi”となり、G点は“Low”となる。また、これと同時にI点は“Low”であるため、D点は“Hi”となっている。そして、D点の“Hi”が遅延回路DL1により設定時間だけ遅れてE点に伝達され、さらにF点、G点に伝達され、G点は“Hi”となる。これにより、第1のポンピングコンデンサC21によりC点は押し上げられ、I/O端子には“Hi”レベルとしてVCCレベルが出力されることになる。

【0024】一方、VCCが高電圧になると、図4(c)の動作波形図のように、電圧検出回路21の分圧電圧Vdが基準電圧VREFよりも高電圧となり、出力BIMDは“Hi”となる。このため、J点は“Low”となり、G点はF点の状態に関わらず常時“Hi”となるため、第1のポンピングコンデンサC21によるC点の昇圧は行われない。また、I点は“Hi”であり、K点はF点の状態によって可変であるため、遅延回路DL1からの出力によりK点が“Hi”に切り替わり、第2のポンピングコンデンサC22によってC点が昇圧される。この第2のポンピングコンデンサC22の容量は第1のポンピングコンデンサC21よりも小容量の1/2に設定されているため、このときのC点の電圧の押し上げは少なくなり、VCCが低電圧のときよりもC点の電位は低電圧に保持され、Hi出力用トランジスタQ1の破壊を防止することが可能となる。

【0025】図5(a)は本発明の第5の実施形態の回路図であり、この実施形態では前記第2の実施形態における電圧検出回路21の構成を相違させたものである。なお、第2の実施形態と等価な部分には同一符号を付してある。この第5の実施形態では、電圧検出回路22と

して、比較器CM1、分圧抵抗R1、R2、基準電圧VREFを備える点では共通しているが、検出する電圧としてVCCの代わりにB点の電圧を検出し、B点が設定電圧よりも高電圧となったときに比較器CM1から出力BIMDとして“Hi”をJ点に出力するように構成している。なお、ここでは、基準電圧VREFの値、又は分圧抵抗R1、R2の値は前記B点の電位に応じて適宜に設定される。また、この実施形態の昇圧回路15では、前記比較器CM1の出力端にPMOSTランジスタP3とNMOSTランジスタN5を並列接続したトランスファゲートTG1と、互いに逆方向に接続した一対のインバータIV9、IV10で構成されるラッチ回路LT1とを直列に接続している。そして、前記トランスファゲートのPMOSTランジスタとNMOSTランジスタには、データ出力OUTT、OUTNの出力タイミング間隔よりも短い前記遅延回路DL1の設定時間よりも十分に長い遅延時間に設定された第2の遅延回路DL2を通して前記データ出力OUTTとインバータIV11による反転出力をそれぞれ前記トランスファゲートTG1に供給してオン、オフ制御するように構成している。

【0026】この第5の実施形態では、図5(b)の動作波形図のように、低電源電圧時にK点は“Low”、L点は“Hi”となっておりトランスファゲートTG1は開いた状態となっている。これにより、B点の電位を分圧した電位Vdが基準電圧VREFと比較され、B点の電位が設定電圧よりも低い場合には、比較器CM1の出力のJ点は“Low”であり、この状態がTG1を介してM点に伝わり、N点は“Hi”となって2入力NANDゲートNA1に入力される。このとき、遅延回路DL1によりE点は“Low”であるため、2入力NANDゲートNA1の出力のF点は“Hi”であり、G点は“Low”となる。そして、遅延回路DL1の遅延時間の経過後にE点は“Hi”となり、G点は“Hi”となり、ポンピングコンデンサC1によりC点のポンピング動作が行われ、I/O端子に“Hi”が出力される。なお、第2の遅延回路DL2の設定時間が経過するとトランスファゲートTG1はオフとなってM点、N点のレベルをラッチ回路LT1によってラッチし、データ出力中にG点に変化してポンピングコンデンサが動作し、出力データに影響を及ぼしたり、発振したりするのを防ぎ、前記した出力電圧が安定に保たれる。

【0027】一方、B点の電位が設定電位よりも高電位となると、図5(c)の動作波形図のように、比較器CM1の出力のJ点が“Hi”となる。このとき、前記したようにトランスファゲートTG1はオンであり、J点の“Hi”はラッチ回路LT1により反転されたラッチされ、N点は“Low”となる。このため、遅延回路DL1の設定時間後にE点が“Hi”になったときにも、2入力NANDゲートNA1の出力のF点は“Hi”のま



まであり、G点が“Hi”になることはなく、C点のポンピング動作が行われることはない。この場合にも、第2の遅延回路DL2の設定時間が経過した後はトランスファゲートTG1がオフされるため、ラッチ回路LT1でラッチされたレベルが変動して出力電圧が変動されることはない。

【0028】このように第5の実施形態では、高電源電圧状態を検出するためにB点の電位を検出しているの  
で、B点の電位が設定電圧以下の場合でも、C点がポン  
ピング動作によって昇圧されたときにB点の電位が設定  
電圧を越え、これにより以降のポンピング動作が停止さ  
れてC点の電位が降下され、この動作が繰り返される結  
果として発振が生じてしまうおそれがある。しかしなが  
ら、比較器CM1の出力に第2の遅延回路DL2によっ  
てオン・オフ制御されるトランスファゲートTG1とラ  
ッチ回路LT1を設け、第2の遅延回路DL2による遅  
延時間が経過した後はラッチ回路LT1により比較器C  
M1の出力をラッチすることで、ポンピング動作に必要  
な時間を確保する一方で第2の遅延回路DL2によって  
設定された時間を経過した後のC点及びB点の電位の  
変動が要因とされる前記した発振の発生を未然に防止す  
ることが可能となり、安定した動作が確保できる。

【0029】ここで、前記各実施形態は本発明の一部の  
構成例を示したものであり、例えば、第1の実施形態の  
構成を第2の実施形態以降の実施形態と組み合わせるこ  
とも可能である。また、第5の実施形態における電圧検  
出回路の構成を第2ないし第4の実施形態に適用するこ  
とも可能である。

【0030】

【発明の効果】以上説明したように本発明は、ゲートに  
供給される信号電圧に応じて出力端子に電圧を出力する  
出力用トランジスタと、前記信号電圧に昇電圧を重畳し  
て電源電圧以上の電圧を前記出力用トランジスタのゲー  
トに供給する昇圧手段とを備える半導体集積回路装置  
に、電源電圧が高電圧となったときに、出力用トランジ  
スタのゲートに供給する信号電圧を低下させ、あるいは  
信号電圧に重畳する昇電圧を低電圧とする手段を備えて  
いるので、電源電圧の高電圧に伴う出力用トランジスタ  
のゲートに供給する電圧の増加が抑制され、出力用トラ  
ンジスタの破壊が防止される。また、出力用トランジス

タの数を増やす必要がなく、出力用トランジスタが入出  
力回路に占める面積を低減し、メモリセルを含むDRA  
M等の半導体集積回路装置の高集積化を実現することが  
できる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態の回路図とその動作波  
形図である。

【図2】本発明の第2の実施形態の回路図とその動作波  
形図である。

10 【図3】本発明の第3の実施形態の回路図とその動作波  
形図である。

【図4】本発明の第4の実施形態の回路図とその動作波  
形図である。

【図5】本発明の第5の実施形態の回路図とその動作波  
形図である。

【図6】従来の入出力回路の回路図とその動作波形図で  
ある。

【図7】入出力回路における昇圧動作を説明するための  
チップの一部の平面構成図である。

20 【符号の説明】

1 チップ

2 内部回路

3 入出力回路

4 電源(VCC)パッド

5 入出力パッド(I/O端子)

10~15 昇圧回路

20~22 電圧検出回路

Q1 Hi出力用トランジスタ

Q2 Low出力用トランジスタ

30 C1, C11, C12, C21, C22 ポンピングコ  
ンデンサ

DL1, DL2 遅延回路

IV1~IV11 インバータ

NA1~NA4 2入力ナンドゲート

CM1 比較器

R1, R2 分圧抵抗

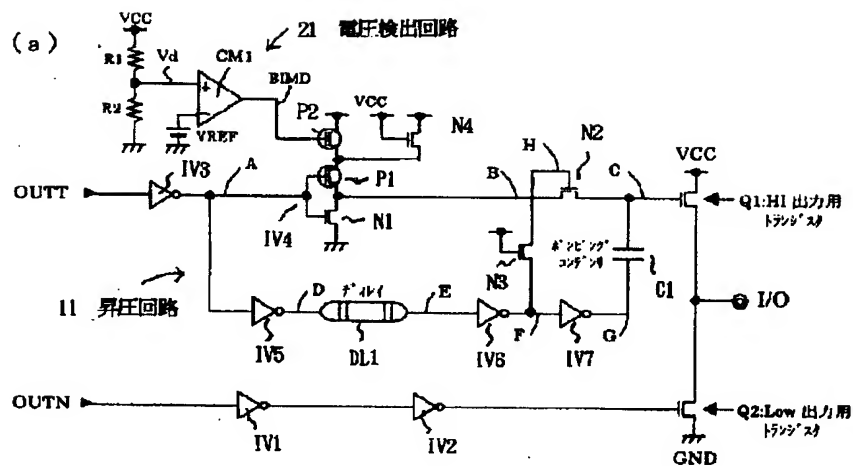
VCC 電源電圧

GND 接地電圧

BIMD 電圧検出出力

40 VREF 基準電圧

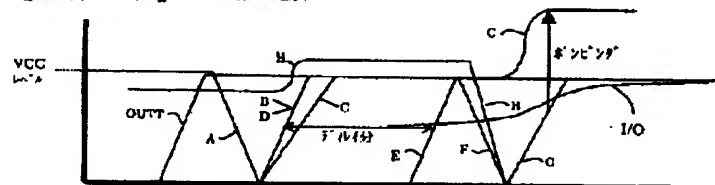
【図1】



(b)

【動作波形】

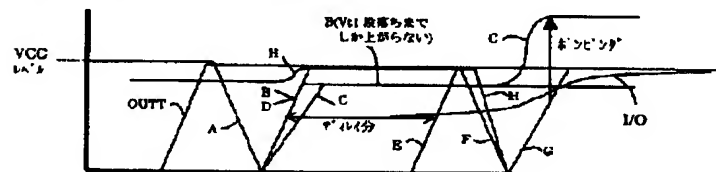
BIMD=Low



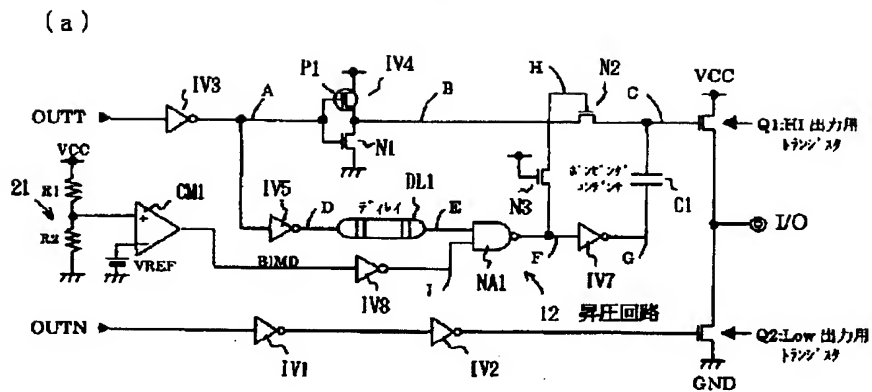
(c)

【動作波形】

BIMD=Hi

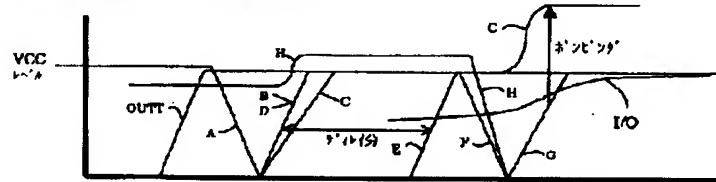


【図2】



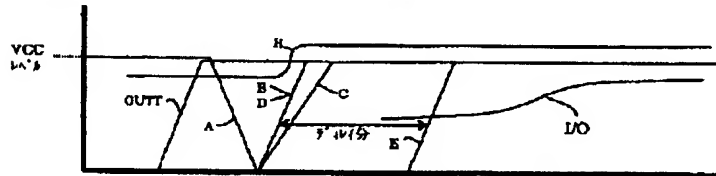
(b)

【動作波形】 BIMD=Low

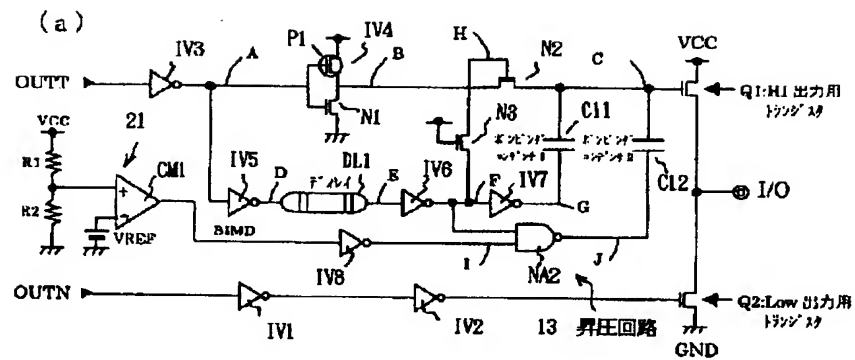


(c)

【動作波形】 BIMD=Hi ポンピング無し

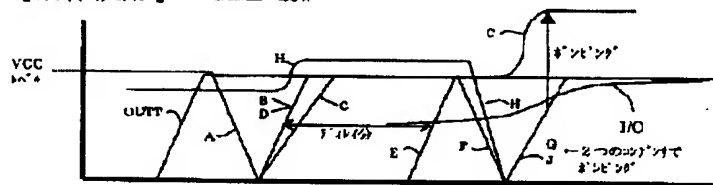


【圖 3】



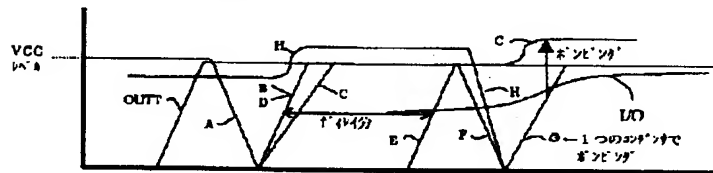
(b)

【動作波形】  $BIMD=L_{\text{ow}}$

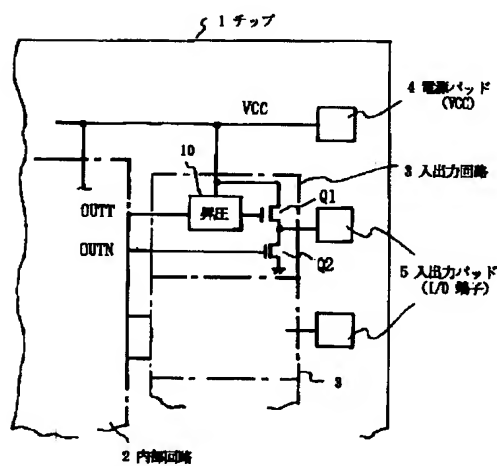


(c)

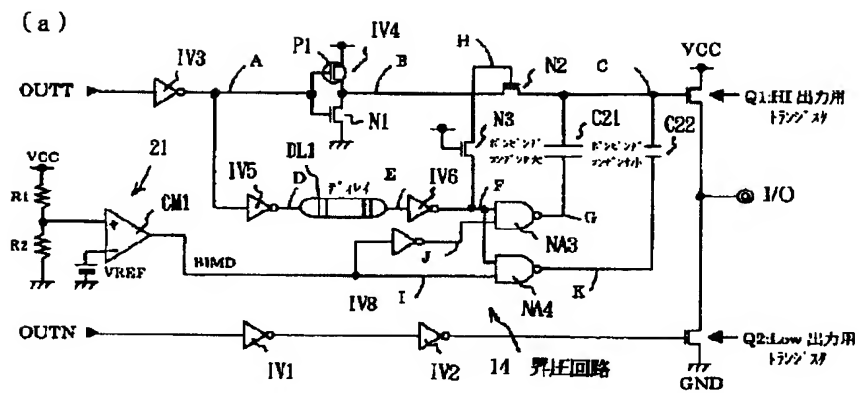
**【動作波形】** B1MD=HI



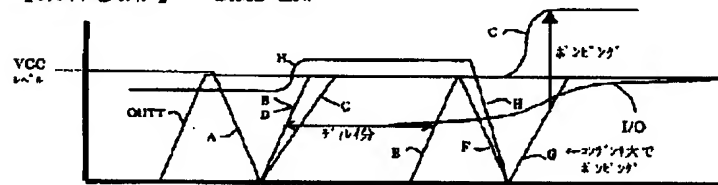
【圖 7】



【図4】



(b) 【動作波形】 B1MD=Low



(c) 【動作波形】 B1MD=HI

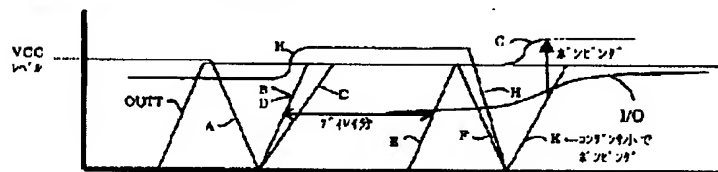
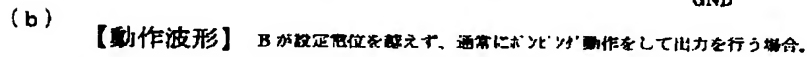


Figure 1 illustrates the steps of the proposed algorithm. The diagrams show a grid of points with various operations like selection, movement, and connection. The steps are numbered 1 through 12.

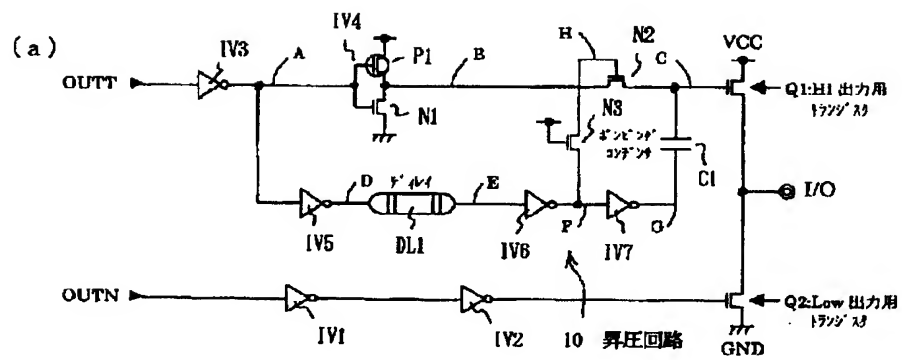


【動作波形】 B が設定電位を越えず、通常にポンピング動作をして出力を行う場合。



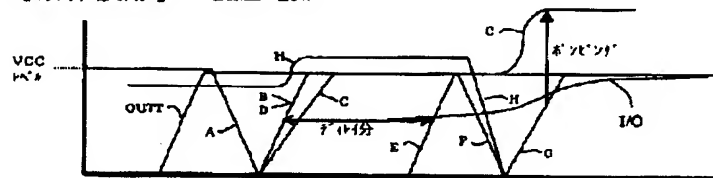


【図6】



(b)

【動作波形】 BIMD=Low



- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention relates to the semiconductor integrated circuit equipment which equips the output circuit of a signal level with the booster circuit for carrying out the pressure up of the output voltage even to supply voltage level about semiconductor integrated circuit equipment.

[0002]

[Description of the Prior Art] With semiconductor integrated circuit equipments, such as DRAM (dynamic random access memory), there are some which prepared the booster circuit for outputting Hi level of the data read from the internal circuitry as supply voltage VCC or an electrical potential difference near this in the I/O circuit which outputs and inputs data between the memory cell arrays and the exteriors which constitute an internal circuitry. Drawing 7 is some mimetic diagrams of the chip in which the outline is shown, the internal circuitry 2, the I/O circuit 3, the power-source (VCC) pad 4, and the I/O pad 5 as an I/O terminal are formed in the chip 1, and said I/O circuit 3 is formed between said internal circuitries 1 and I/O pads 5. The transistor Q1 for Hi output and the transistor Q2 for a Low output are formed in said I/O circuit 3, the VCC electrical potential difference supplied to said power-source pad 4 is used as a power source, each transistors Q1 and Q2 drive with the Hi output signal OUTT from said internal circuitry 1, and the Low output signal OUTN, and a signal is outputted to said I/O pad 5. Moreover, the booster circuit 10 for carrying out the pressure up of the electrical potential difference of Hi output outputted by the transistor Q1 for Hi output to the electrical potential difference near VCC or this is established in said I/O circuit 3. Also when supply voltage VCC is a low battery, said booster circuit 10 is formed so that the output voltage more than predetermined can be outputted from the I/O pad 5. That is, this kind of chip is \*\*\*\*\* to which that output voltage will also fall if using it in the rated range of supply voltage VCC, for example, the range of 3.0V to 4.0V, may be specified and it uses it by the low battery in that case. Then, even when such supply voltage is low, the booster circuit for carrying out the pressure up of the output voltage so that desired output voltage can be outputted is prepared in the I/O circuit.

[0003] Drawing 6 (a) is the circuit diagram of the example. The I/O circuit consists of the transistors Q1 for Hi output and the transistors Q2 for a Low output which consist of an NMOS transistor connected between VCC and GND, is making said each transistors Q1 and Q2 for an output input and turn on the data OUTT and OUTN read from the memory cell, respectively, and outputs VCC and GND to an output. Since said transistor Q1 for Hi output is an NMOS transistor at this time, the voltage drop only of the  $V_t$  of a transistor is carried out. Then, a booster circuit 10 is formed between said data output OUTT and the transistor Q1 for Hi output. In this booster circuit 10, an inverter IV3, the inverter IV4 which consists of a PMOS transistor

P1 and an NMOS transistor N1, and the NMOS transistor N2 are connected to said data output OUTT. Moreover, an inverter IV5, a delay circuit DL 1, inverters IV6 and IV7, and the pumping capacitor C1 are connected to the output side of said inverter IV3, and it connects with the gate of said transistor Q1 for Hi output. Moreover, between the gate of said NMOS transistor N2, and the outgoing end of said inverter IV6, the source of the NMOS transistor N3 which connected the gate to VCC, and a drain are connected. Moreover, said data output OUTN is inputted into the gate of said transistor Q2 for a Low output through inverters IV1 and IV2.

[0004] With this configuration, as a wave form chart of operation is shown in drawing 6 (b), when both data output OUTT and OUTN are "Low(s)", the transistor Q1 for Hi output and the transistor Q2 for a Low output have each in an OFF state, and an I/O output is floating. If data output OUTT is set to "Hi" from "Low", an A point will serve as "Low" with an inverter IV3, and a B point and D point will serve as "Hi", respectively. Especially, a B point serves as VCC level through the PMOS transistor P1 of an inverter IV4. Since Hi level of D point has not reached E points by the delay circuit DL 1 at this time, E points are set to "Low", F points are set to "Hi", with the NMOS transistor N3, the NMOS transistor N2 is an ON state, C point serves as "Hi" through the NMOS transistor N2, and it becomes a VCC electrical potential difference. Moreover, G points are "Low" at this time. And only the setup time is in "Hi" of D point by the delay circuit DL 1, it is transmitted to E points, F points are set to "Low" with an inverter IV6, and G points are set to "Hi." If F points are set to "Low", the NMOS transistor N2 will become off and C point will be separated. Moreover, since G points are set to "Hi" to coincidence, as for C point, only the electrical-potential-difference Valpha charged by the pumping capacitor C1 is pushed up rather than G points. By this, the transistor Q1 for Hi output will be turned on, and the electrical potential difference of VCC level will be outputted to an I/O terminal as "Hi" level. In addition, if data output OUTN is set to "Hi" from "Low", the transistor Q2 for a Low output will turn on, and the GND electrical potential difference as "Low" will be outputted to an I/O terminal. Thus, for an I/O terminal, the output of "Hi" of a VCC electrical potential difference can be obtained with the output of "Hi" of data output OUTT by setting up suitably pressure-up electrical-potential-difference Valpha in a booster circuit 10.

[0005]

[Problem(s) to be Solved by the Invention] Thus, with the chip which established the booster circuit in the I/O circuit, while desired output voltage can be outputted as described above when supply voltage is low, when supply voltage is high and a booster circuit operates, pressure-up level becomes high too much, the electrical potential difference more than pressure-proofing is impressed to the gate of the transistor for an output, and there is a possibility that the transistor for an output may be destroyed. Then, the technique of preventing the excessive gate voltage to the transistor for an output is proposed by detecting the condition that the VCC electrical potential difference turned into a high voltage at the time of the burn-in test for performing screening in the condition, for example, a semiconductor device, that the high voltage which has in the former a possibility that such a transistor for an output may be destroyed is impressed, and stopping actuation of said delay circuit and the booster circuit using a capacitor. for example, with the technique of a publication, to JP,8-153390,A The 2nd transistor for Hi output which consists of the above mentioned transistor for Hi output and an NMOS transistor which does not have the booster circuit in juxtaposition is connected. Usually, while obtaining the output which was described above by sometimes choosing the aforementioned transistor for Hi output (the 1st) and which carried out the pressure up The output in the condition that a pressure up is not performed could be obtained by choosing the 2nd transistor for Hi output at the time of a burn-in,

and especially this has prevented destruction of the transistor for Hi output in the time of a burn-in.

[0006] However, in this Prior art, since to increase one transistor for Hi output to one data output as compared with the circuit shown in drawing 6 (a) in order to use it in the time when supply voltage is high, and the low time, changing the transistor for an output is needed, the scale of the transistor for an output in an I/O circuit increases. the whole of the DRAM in which the effect of increase of the area which the transistor for an output which increased in proportion to the number of data output occupies in an I/O circuit becomes large, and this contains a memory cell since the occupancy area is large as compared with the MOS transistor from which especially the transistor for an output constitutes an MOS transistor, said inverter carried out, a delay circuit, etc. of an internal circuitry -- effect -- \*\*\*\*(ing) -- high -- it becomes difficult to build a DRAM [ \*\*\*\* ]. Moreover, with the above mentioned conventional technique, it is whether the pressure up in a booster circuit is performed, or to stop, and the pressure up of the middle electrical potential difference of a pressure-up electrical potential difference cannot be performed, but that the output voltage when suspending actuation of a booster circuit is [ in vain ] too low may arise.

[0007] The purpose of this invention is to offer the semiconductor integrated circuit equipment which made it possible to prevent destruction of the transistor for an output when a VCC electrical potential difference rises, without increasing the transistor for an output. Moreover, the purpose of this invention is to offer the semiconductor integrated circuit equipment which can secure suitable output voltage at the time of high supply voltage.

[0008]

[Means for Solving the Problem] The transistor for an output which outputs an electrical potential difference to an output terminal according to the signal level by which this invention is supplied to the gate, In semiconductor integrated circuit equipment equipped with a pressure-up means to superimpose rising voltage on said signal level, and to supply the electrical potential difference more than supply voltage to the gate of said transistor for an output It has a supply voltage detection means to detect the electrical potential difference of said supply voltage, and a means to control the increment in the electrical potential difference supplied to the gate of said transistor for an output when said supply voltage turns into a high voltage from a programmed voltage. As a means to control the increment in the electrical potential difference supplied to this gate, as the 1st invention, when supply voltage turns into a high voltage from a programmed voltage, it constitutes from this invention as a means to lower the pressure of the signal level supplied to the transistor for an output. As the 2nd invention, when supply voltage turns into a high voltage from a programmed voltage, it constitutes as a means to stop superposition of the rising voltage by said pressure-up means. As the 3rd invention, a means to generate two or more rising voltage for a pressure-up means is established, and when supply voltage turns into a high voltage from a programmed voltage, it constitutes as a means to choose and superimpose said a part of two or more rising voltage. It has a means to generate two or more rising voltage which is different for a pressure-up means as the 4th invention, and when supply voltage turns into a high voltage from a programmed voltage, it constitutes as a means which changes said two or more rising voltage from the rising voltage of the high voltage to the rising voltage of a low battery. Moreover, in this invention, you may constitute as a means to detect supply voltage and the electrical potential difference impressed to the gate of the transistor for an output with close relation as a means to detect supply voltage.

[0009] According to this invention, when supply voltage turns into a high voltage from a programmed voltage, by making into a low battery rising voltage which the signal level supplied

to the gate of the transistor for an output is reduced, or is superimposed on a signal level, the increment in the electrical potential difference supplied to the gate of the transistor for an output is controlled, and destruction of the transistor for an output is prevented. Moreover, it is not necessary to increase the number of the transistors for an output, and the area which the transistor for an output occupies in an I/O circuit is reduced, and it becomes possible to realize high integration of semiconductor integrated circuit equipments, such as DRAM containing a memory cell. Furthermore, it becomes possible to perform pressure-up actuation controlled at the time of high supply voltage, and to obtain suitable output voltage.

[0010]

[Embodiment of the Invention] Next, the operation gestalt of this invention is explained with reference to a drawing. Drawing 1 (a) is the circuit diagram of the 1st operation gestalt of this invention. With this 1st operation gestalt, it is applied as an I/O circuit of a chip as shown in drawing 7. The fundamental configuration of this I/O circuit is conventionally [ which was shown in drawing 6 (a) ] common in the configuration. Cascade connection of the source drain of the transistor Q1 for Hi output and the transistor Q2 for a Low output is carried out, and it connects between VCC and GND, and let the node of the transistors Q1 and Q2 for both outputs be an I/O terminal. Moreover, data output OUTT from the memory cell outside drawing and OUTN are inputted into said I/O circuit, and data output OUTN is connected to the gate of said transistor Q1 for Hi output for data output OUTT through two inverters IV1 and IV2 at the gate of said transistor for a Low output through the booster circuit 11. Said booster circuit 11 branches the output side of the inverter IV3 connected to the input edge of said data output OUTT for two paths. The inverter IV4 which consists of a PMOS transistor P1 and an NMOS transistor N1, and the NMOS transistor N2 are inserted in one path. An inverter IV5, a delay circuit DL 1, inverters IV6 and IV7, and the pumping capacitor C1 were inserted in the path of another side, and each is connected to the gate of said transistor Q1 for Hi output. Moreover, the source drain of the NMOS transistor N3 which connected the gate to VCC between the gate of said NMOS transistor N2 and the node of said inverters IV6 and IV7 is connected.

[0011] Said inverter IV4 is constituted as an inverter circuit which made complementary connection of the gate and the source of the PMOS transistor P1 and the NMOS transistor N1, respectively, and the drain of the NMOS transistor N1 is connected to GND. Moreover, each source of the 2nd PMOS transistor P2 and the NMOS transistor N4 is connected to the drain of the PMOS transistor P1. The gate and a drain are connected to VCC, and said NMOS transistor N4 is constituted so that the BIMD signal with which a drain is connected to VCC, the electrical-potential-difference detector 21 is connected to the gate, and said 2nd PMOS transistor P2 is outputted from said electrical-potential-difference detector 21 at the time of high supply voltage may be inputted. In addition, said each NMOS transistors N1-N4 consist of same specification, and  $V_t$  of each transistor makes them an equal here.

[0012] Said electrical-potential-difference detector 21 consists of partial pressure resistance R1 and R2 which inputs the electrical potential difference which pressured VCC partially into the reversal input edge of the comparator CM 1 which consists of operational amplifiers, and this comparator CM 1, and a source of reference voltage which inputs reference voltage VREF into the noninverting input edge of said comparator CM 1. Here, the reference voltage VREF of said source of reference voltage is set as an electrical potential difference [ a little ] ( $V_{REF} > V_d$ ) higher than the electrical potential difference  $V_d$  [ $V_d = VCC - R_2 / (R_1 + R_2)$ ] which pressured VCC partially by the partial pressure resistance R1 and R2. Therefore, since "Low" is outputted from said comparator CM 1, the 2nd PMOS transistor P2 is an ON state, when the high voltage VCC

is impressed at the time of high-voltage actuation, at the time of low-battery actuation, "Hi" will be outputted from said comparator CM 1, and said 2nd PMOS transistor P2 will be in an OFF state at it.

[0013] In the I/O circuit of this 1st operation gestalt, when normal operation, i.e., VCC, is usually an electrical potential difference, as a wave form chart of operation is shown in drawing 1 (b), since the partial pressure electrical potential difference Vd inputted into a comparator CM 1 is a low battery from reference voltage VREF, the output BIMD of the electrical-potential-difference detector 21 serves as "Low." For this reason, the 2nd PMOS transistor P2 is ON. Therefore, VCC is impressed to the drain of the PMOS transistor P1 which constitutes an inverter IV4. Therefore, if data output OUTT serves as "Hi" in this condition, like the case of the conventional I/O circuit shown in drawing 6, a B point and C point will serve as VCC, and VCC level will be outputted to an I/O terminal by the booster circuit 11. Moreover, the same is said of the case where data output OUTN is set to "Low."

[0014] On the other hand, if VCC becomes a high voltage, since the partial pressure electrical potential difference Vd of the electrical-potential-difference detector 21 will turn into a high voltage from reference voltage VREF, an output BIMD serves as "Hi." For this reason, the 2nd PMOS transistor P2 becomes off, and an electrical potential difference (VCC-Vt) only with low Vt of the NMOS transistor N4 will be impressed to the drain of the PMOS transistor P1 of an inverter IV4 from VCC through the NMOS transistor N4. For this reason, as shown in the wave form chart of drawing 1 (c) of operation, when data output OUTT is set to "Hi", the B point of the output of an inverter IV4 serves as potential of VCC-Vt, and C point serves as potential of VCC-Vt. for this reason -- when G points are delayed and it is set to "Hi" by the delay circuit DL 1, \*\*\*\*\* the potential of C point is pushed up only for electrical-potential-difference Valpha by the pumping capacitor C1 -- the potential of C point -- normal operation -- a part for Vt -- it is set to low level. Thereby, as for the potential of C point, as compared with the former of drawing 6, only Vt will be in a low voltage condition at the time of high supply voltage, and it will become possible to prevent destruction of the transistor Q1 for Hi output.

[0015] Drawing 2 (a) is the circuit diagram of the 2nd operation gestalt of this invention. It constitutes from this 2nd operation gestalt so that the pumping in a pumping capacitor may be stopped at the time of high supply voltage, and the part which is conventionally [ above mentioned ] common in a configuration and the 1st operation gestalt is included in a part of that configuration. That is, to an I/O circuit, cascade connection of the source drain of the transistor Q1 for Hi output and the transistor Q2 for a Low output is carried out, and it connects with it between VCC and GND, and let the node of the transistors Q1 and Q2 for both outputs be an I/O terminal in it. Moreover, data output OUTT from the memory cell outside drawing and OUTN are inputted into said I/O circuit, and data output OUTN is connected to the gate of said transistor Q1 for Hi output for data output OUTT through two inverters IV1 and IV2 at the gate of said transistor Q2 for a Low output through the booster circuit 12. Said booster circuit 12 branches the output side of the inverter IV3 connected to the input edge of said data output OUTT for two paths, and is inserting in one path the inverter IV4 and the NMOS transistor N2 which consist of a PMOS transistor P1 and an NMOS transistor N1. Moreover, an inverter IV5, the delay circuit DL 1, 2 input NAND gate NA1, the inverter IV7, and the pumping capacitor C1 were inserted in the path of another side, and each is connected to the gate of said transistor Q1 for Hi output. Moreover, the source drain of the NMOS transistor N3 which connected the gate to VCC between the gate of said NMOS transistor N2, said NAND gate NA1, and the node of an inverter IV7 is connected.



[0016] Said 2 input NAND gate NA1 has the composition that the output of the electrical-potential-difference detector 21 is inputted into the input edge of another side through an inverter IV8, although the output of said delay circuit DL 1 is inputted into one input edge. Said electrical-potential-difference detector 20 is the same configuration as the 1st operation gestalt, and consists of partial pressure resistance R1 and R2 which inputs the electrical potential difference which pressured VCC partially into the reversal input edge of the comparator CM 1 which consists of operational amplifiers, and this comparator CM 1, and a source of reference voltage which inputs reference voltage VREF into the noninverting input edge of said comparator CM 1. And at the time of normal operation, from said comparator CM 1, since "Low" is outputted as an output BIMD, "Hi" is inputted into 2 input NAND gate NA1, and the output from a delay circuit DL 1 passes through 2 input NAND gate NA1. Moreover, since "Hi" is outputted as an output BIMD from said comparator CM 1 when the high voltage VCC is impressed at the time of high supply voltage, "Low" will be inputted into 2 input NAND gate NA1 by the inverter IV8, the output from a delay circuit DL 1 will be made into an invalid, and the output of 2 input NAND gate NA1 will be held to "Hi."

[0017] Actuation in case VCC is low supply voltage serves as a wave of operation shown in drawing 2 (b), and is the same as the conventional case in the I/O circuit of this 2nd operation gestalt. That is, if data output OUTT is set to "Hi" from "Low", an A point will serve as "Low" with an inverter IV3, and a B point and D point will serve as "Hi", respectively. Especially, a B point serves as VCC level through the PMOS transistor P1 of an inverter IV4. Since Hi level of D point has not reached E points by the delay circuit DL 1 at this time, E points are set to "Low", F points are set to "Hi", with the NMOS transistor N3, the NMOS transistor N2 is an ON state, C point serves as "Hi" through the NMOS transistor N2, and only  $V_t$  of the NMOS transistor N2 serves as a low electrical potential difference from VCC. Moreover, G points are set to "Low" at this time. And only the setup time is in "Hi" of D point by the delay circuit DL 1, it is transmitted to E points, and is inputted into 2 input NAND gate NA1. Since VCC is usually an electrical potential difference at this time, the partial pressure electrical potential difference  $V_d$  inputted into a comparator CM 1 is a low battery from reference voltage VREF, the output BIMD of the electrical-potential-difference detector 20 serves as "Low", and "Hi" is inputted into 2 input NAND gate NA1. Therefore, "Hi" of said E points passes through 2 Input NAND gate NA1, thereby, F points set it a "Low" next door, and G points are set to "Hi." If F points are set to "Low", the NMOS transistor N2 will become off and C point will be separated. Moreover, since G points are set to "Hi" to coincidence, as for C point, only the electrical-potential-difference  $V_{\alpha}$  charged by the pumping capacitor C1 is pushed up rather than G points. By this, the transistor Q1 for Hi output will be turned on, and VCC level will be outputted to an I/O terminal as "Hi" level.

[0018] On the other hand, if VCC becomes a high voltage, it becomes the wave of operation shown in drawing 2 (c), and the partial pressure electrical potential difference  $V_d$  of the electrical-potential-difference detector 21 will turn into a high voltage from reference voltage VREF, and an output BIMD will serve as "Hi." For this reason, the input of 2 input NAND gate NA1 which let the inverter IV8 pass serves as "Low." For this reason, "Hi" of E points delayed and transmitted does not have passed through 2 Input NAND gate NA1, but F points are held at "Hi", and G points are held at "Low." For this reason, push raising of the potential of C point by the pumping capacitor C1 does not arise, and C point is maintained at the potential of VCC, and thereby, the potential of C point is held rather than the time of normal operation at a low battery at the time of high supply voltage, and it becomes possible to prevent destruction of the transistor

Q1 for Hi output.

[0019] Drawing 3 (a) is the circuit diagram of the 3rd operation gestalt of this invention. Two pumping capacitors, the 1st and the 2nd, C11 and C12 are formed, and it constitutes from this 3rd operation gestalt so that only one side may be operated simultaneous in these. In the configuration of this 3rd operation gestalt, the same sign is given to the part equivalent to the 2nd operation gestalt. With this 3rd operation gestalt, the old pumping capacitor C1 and the 1st same BOMPINGU capacitor C11 are connected between G points and C points of a booster circuit 13. Moreover, the output BIMD of the electrical-potential-difference detector 20 and the output of the inverter IV6 of the output side of a delay circuit DL 1 were inputted into 2 input NAND gate NA2, and the 2nd pumping capacitor C12 is connected between the outgoing end of this 2 input NAND gate NA2, and C point. It has set up so that the value adding each capacity of said 1st pumping capacitor C11 and the 2nd pumping capacitor C12 may become comparable as the capacity of the BOMPINGU capacitor C1 of each of said 1st and 2nd operation gestalten, and the capacity of each of said pumping capacitors C11 and C12 is set here as one half of each pumping capacitors C1 of the 1st and 2nd operation gestalten.

[0020] In the I/O circuit of this 3rd operation gestalt, when VCC is a low battery, as shown in the drawing 3 (b) actuation wave form chart, if data output OUTT is set to "Hi" from "Low", an A point will serve as "Low" with an inverter IV3, and a B point and D point will serve as "Hi" with inverters IV4 and IV5, respectively. Especially, a B point serves as VCC level through the PMOS transistor P1 of an inverter IV4. Since Hi level of D point has not reached E points by the delay circuit DL 1 at this time, E points are set to "Low", F points are set to "Hi", with the NMOS transistor N3, the NMOS transistor N2 is an ON state, C point serves as "Hi" through the NMOS transistor N2, and it becomes the electrical potential difference of VCC level. Moreover, G points are "Low(s)" at this time. Furthermore, at this time, the output BIMD of the electrical-potential-difference detector 21 is "Low", and since I points are "Hi(s)", J point serves as "Low" by Hi[ of F points ]. And only the setup time is in "Hi" of D point by the delay circuit DL 1, and it is transmitted to E points, and is transmitted to F more points and G points, and G points are set to "Hi." Thereby, as for C point, only the electrical potential difference charged by the 1st pumping capacitor C11 is pushed up rather than G points. moreover, this, simultaneously "Low of F points -- " -- since J point serves as "Hi", C point is pushed up by the 2nd pumping capacitor C12. When setting the charge electrical potential difference by the capacity of the sum total of said 1st and 2nd pumping capacitors C11 and C12 as Valpha at this time and the transistor Q1 for Hi output is turned on, the electrical potential difference of VCC level will be outputted to an I/O terminal as "Hi" level.

[0021] On the other hand, if VCC becomes a high voltage, as shown in the wave form chart of drawing 3 (c) of operation, the partial pressure electrical potential difference Vd of the electrical-potential-difference detector 21 will turn into a high voltage from reference voltage VREF, and an output BIMD will serve as "Hi." For this reason, I through an inverter IV8 are set to "Low", and J point always serves as "Hi" as a result. Therefore, even if F points may be set to "Low" with the output from a delay circuit DL 1, G points may be set to "Hi" and it may push up the electrical potential difference of C point by the 1st pumping capacitor C11 push raising of the electrical potential difference of C point by the 2nd pumping capacitor C12 arises -- there is nothing -- the potential of C point -- pushing up -- it decreases, and the potential of C point is held rather than the time of VCC being a low battery at a low battery, and it becomes possible to prevent destruction of the transistor Q1 for Hi output.

[0022] Drawing 4 (a) is the circuit diagram of the 4th operation gestalt of this invention. With

this 4th operation gestalt, although it is the same as the 3rd operation gestalt, it constitutes from a point of having formed two pumping capacitors, the 1st and the 2nd, C21 and C22 so that each pumping capacitors C21 and C22 may be chosen and may be operated in the time of a low battery and the high voltage here. In the configuration of this 4th operation gestalt, the same sign is given to the part equivalent to the 3rd operation gestalt. With this 4th operation gestalt, the output which let the inverter IV8 pass for the output BIMD of the electrical-potential-difference detector 21 in the booster circuit 14, and the output of the inverter of the output side of a delay circuit DL 1 were inputted into 1st 2 input NAND gate NA3, and the 1st pumping capacitor C21 is connected between the outgoing end of this 1st 2 input NAND gate NA3, and C point.

Moreover, the output of the output BIMD of said electrical-potential-difference detector 21 and the output of the inverter IV6 of the output side of said delay circuit DL 1 were inputted into 2nd 2 input NAND gate NA4, and the 2nd pumping capacitor C22 is connected between the outgoing end of this 2nd 2 input NAND gate NA4, and C point. Here, the capacity of said 1st pumping capacitor C21 presupposes that it is comparable as the capacity of the pumping capacitor C1 of said 1st and 2nd operation gestalten, and makes capacity of said 2nd pumping capacitor C22 smaller than the capacity of the 1st pumping capacitor C21. Here, the capacity of the 2nd pumping capacitor C22 is set as one half of the 1st pumping capacitors C21.

[0023] In the I/O circuit of this 4th operation gestalt, when VCC is a low battery, as shown in the wave form chart of drawing 4 (b) of operation, if data output OUTT is set to "Hi" from "Low", an A point will serve as "Low" with an inverter IV3, and a B point and D point will serve as "Hi" with inverters IV4 and IV5, respectively. Especially, a B point serves as VCC level through the PMOS transistor P1 of an inverter IV4. Since Hi level of D point has not reached E points by the delay circuit DL 1 at this time, E points are set to "Low", F points are set to "Hi", with the NMOS transistor N3, the NMOS transistor N2 is an ON state, C point serves as "Hi" through the NMOS transistor N2, and it is set to VCC level. Moreover, since the output BIMD of the electrical-potential-difference detector 20 is "Low" at this time, J point serves as "Hi" and G points are set to "Low." Moreover, since I points are "Low(s)", D point is this and coincidence with "Hi." And only the setup time is in "Hi" of D point by the delay circuit DL 1, and it is transmitted to E points, and is transmitted to F more points and G points, and G points are set to "Hi." By this, C point will be pushed up by the 1st pumping capacitor C21, and VCC level will be outputted to an I/O terminal as "Hi" level.

[0024] On the other hand, if VCC becomes a high voltage, as shown in the wave form chart of drawing 4 (c) of operation, the partial pressure electrical potential difference Vd of the electrical-potential-difference detector 21 will turn into a high voltage from reference voltage VREF, and an output BIMD will serve as "Hi." For this reason, since J point serves as "Low", and G points are not concerned with the condition of F points but are always set to "Hi", the pressure up of C point by the 1st pumping capacitor C21 is not performed. Moreover, I points are "Hi(s)", since it is adjustable, K points change to "Hi" with the output from a delay circuit DL 1, and, as for K points, the pressure up of the C point is carried out by the condition of F points by the 2nd pumping capacitor C22. since the capacity of this 2nd pumping capacitor C22 is set as one half of small capacity rather than the 1st pumping capacitor C21 -- the electrical potential difference of C point at this time -- pushing up -- it decreases, and the potential of C point is held rather than the time of VCC being a low battery at a low battery, and it becomes possible to prevent destruction of the transistor Q1 for Hi output.

[0025] Drawing 5 (a) is the circuit diagram of the 5th operation gestalt of this invention, and makes the configuration of the electrical-potential-difference detector 21 in said 2nd operation

gestalt different with this operation gestalt. In addition, the same sign is given to the part equivalent to the 2nd operation gestalt. The electrical potential difference of a B point is detected instead of VCC as an electrical potential difference to detect, and although it is common as an electrical-potential-difference detector 22 at a comparator CM 1, the partial pressure resistance R1 and R2, and a point equipped with reference voltage VREF, when a B point becomes a high voltage from a programmed voltage, it constitutes from this 5th operation gestalt so that "Hi" may be outputted to J point as an output BIMD from a comparator CM 1. In addition, the value of reference voltage VREF or the value of the partial pressure resistance R1 and R2 is suitably set up here according to the potential of said B point. Moreover, in the booster circuit 15 of this operation gestalt, latch circuit LT1 which consists of inverters IV9 and IV10 of a pair each other connected with the transfer gate TG 1 which carried out parallel connection of the PMOS transistor P3 and the NMOS transistor N5 to the outgoing end of said comparator CM 1 to hard flow is connected to a serial. And to the PMOS transistor and NMOS transistor of said transfer gate, although it is shorter than the output timing interval of data output OUTT and OUTN, it constitutes so that said transfer gate TG 1 is supplied, respectively, it may turn on and off control of the reversal output by said data output OUTT and inverter IV11 may be carried out through the 2nd delay circuit DL 2 set as the time delay longer enough than the setup time of said delay circuit DL 1.

[0026] With this 5th operation gestalt, as shown in the wave form chart of drawing 5 (b) of operation, at the time of low supply voltage, K points are become to "Low", L points have become "Hi", and the transfer gate TG 1 is in the condition of having opened. Thereby, the potential Vd which pressured the potential of a B point partially is compared with reference voltage VREF, when the potential of a B point is lower than a programmed voltage, the J point of the output of a comparator CM 1 is "Low", propagation and N point turn into M points with "Hi" through TG1, and this condition is inputted into 2 input NAND gate NA1. Since E points are "Low(s)" by the delay circuit DL 1 at this time, F points of the output of 2 input NAND gate NA1 are "Hi(s)", and G points are set to "Low." And E points are set to "Hi" after progress of the time delay of a delay circuit DL 1, G points are set to "Hi", pumping actuation of C point is performed by the pumping capacitor C1, and "Hi" is outputted to an I/O terminal. In addition, if the setup time of the 2nd delay circuit DL 2 passes, it becomes off [ the transfer gate TG 1 ], and the level of M points and N point is latched by latch circuit LT1, G points will change during data output, a pumping capacitor will operate, and the output voltage which prevented and described above affecting output data or oscillating will be maintained at stability.

[0027] On the other hand, if the potential of a B point turns into high potential from setting potential, as shown in the wave form chart of drawing 5 (c) of operation, the J point of the output of a comparator CM 1 will serve as "Hi." this time -- said -- as carried out, the transfer gate TG 1 is ON, and "Hi" of J point was reversed by latch circuit LT1 -- it is latched and N point serves as "Low." For this reason, also when E points are set to "Hi" after the setup time of a delay circuit DL 1, F points of the output of 2 input NAND gate NA1 are still "Hi(s)", G points are not set to "Hi", and pumping actuation of C point is not performed. Also in this case, since the transfer gate TG 1 is turned off after the setup time of the 2nd delay circuit DL 2 passes, the level latched by latch circuit LT1 is changed, and output voltage is not changed.

[0028] Thus, since the potential of a B point is detected with the 5th operation gestalt in order to detect a high supply voltage condition, even when the potential of a B point is below a programmed voltage, when the pressure up of the C point is carried out by pumping actuation, the potential of a B point exceeds a programmed voltage, subsequent pumping actuation is

suspended by this, the potential of C point descends, and there is a possibility that this actuation is repeated and that an oscillation may arise as a result. However, the transfer gate TG 1 and latch circuit LT1 by which on-off control is carried out to the output of a comparator CM 1 in the 2nd delay circuit DL 2 are prepared. He is latching the output of a comparator CM 1 by latch circuit LT1, after the time delay by the 2nd delay circuit DL 2 passes. While securing time amount required for pumping actuation, fluctuation of the potential of C point after going through the time amount set up by the 2nd delay circuit DL 2, and a B point becomes possible [ preventing beforehand generating of the above mentioned oscillation made into a factor ], and the stable actuation can be secured.

[0029] Here, it is also possible for said each operation gestalt to show some examples of a configuration of this invention, for example, to combine the configuration of the 1st operation gestalt with the operation gestalt after the 2nd operation gestalt. Moreover, it is also possible to apply the configuration of the electrical-potential-difference detector in the 5th operation gestalt to the 2nd thru/or 4th operation gestalt.

[0030]

[Effect of the Invention] The transistor for an output which outputs an electrical potential difference to an output terminal according to the signal level by which this invention is supplied to the gate as explained above, To semiconductor integrated circuit equipment equipped with a pressure-up means to superimpose rising voltage on said signal level, and to supply the electrical potential difference more than supply voltage to the gate of said transistor for an output, when supply voltage turns into a high voltage Since it has the means which makes a low battery rising voltage which the signal level supplied to the gate of the transistor for an output is reduced, or is superimposed on a signal level The increment in the electrical potential difference supplied to the gate of the transistor for an output accompanying the high voltage of supply voltage is controlled, and destruction of the transistor for an output is prevented. Moreover, it is not necessary to increase the number of the transistors for an output, and the area which the transistor for an output occupies in an I/O circuit can be reduced, and high integration of semiconductor integrated circuit equipments, such as DRAM containing a memory cell, can be realized.

---

## CLAIMS

---

[Claim(s)]

[Claim 1] The transistor for an output which outputs the output voltage according to the signal level supplied to the gate, In semiconductor integrated circuit equipment equipped with a pressure-up means to superimpose rising voltage on said signal level, and to supply the electrical potential difference more than supply voltage to the gate of said transistor for an output Semiconductor integrated circuit equipment characterized by having a supply voltage detection means to detect the electrical potential difference of said supply voltage, and a means to lower the pressure of the signal level supplied to said transistor for an output when said supply voltage turns into a high voltage from a programmed voltage.

[Claim 2] The transistor for an output which outputs the output voltage according to the signal level supplied to the gate, In semiconductor integrated circuit equipment equipped with a pressure-up means to superimpose rising voltage on said signal level, and to supply the electrical potential difference more than supply voltage to the gate of said transistor for an output Semiconductor integrated circuit equipment characterized by having a supply voltage detection

means to detect the electrical potential difference of said supply voltage, and a means to stop superposition of the rising voltage by said pressure-up means when said supply voltage turns into a high voltage from a programmed voltage.

[Claim 3] The transistor for an output which outputs the output voltage according to the signal level supplied to the gate, In semiconductor integrated circuit equipment equipped with a pressure-up means to superimpose rising voltage on said signal level, and to supply the electrical potential difference more than supply voltage to the gate of said transistor for an output A supply voltage detection means for said pressure-up means to have a means to generate said rising voltage and two or more becoming rising voltage when each electrical potential difference is added, and to detect the electrical potential difference of said supply voltage, Semiconductor integrated circuit equipment characterized by having a means to choose and superimpose said a part of two or more rising voltage when said supply voltage turns into a high voltage from a programmed voltage.

[Claim 4] The transistor for an output which outputs the output voltage according to the signal level supplied to the gate, In semiconductor integrated circuit equipment equipped with a pressure-up means to superimpose rising voltage on said signal level, and to supply the electrical potential difference more than supply voltage to the gate of said transistor for an output A supply voltage detection means for said pressure-up means to have a means to generate two or more different rising voltage, and to detect the electrical potential difference of said supply voltage, Semiconductor integrated circuit equipment characterized by having the means which changes said two or more rising voltage from the rising voltage of the high voltage to the rising voltage of a low battery when said supply voltage turns into a high voltage from a programmed voltage.

[Claim 5] One or more pumping capacitors by which, as for said pressure-up means, the end was connected to the gate of said transistor for an output, It has the delay circuit which delays for it and supplies said signal level to the other end of said pumping capacitor. By the time said signal level is supplied to the other end of said pumping capacitor, said pumping capacitor will be charged. Semiconductor integrated circuit equipment according to claim 2 to 4 which is the configuration which superimposes a part for the electrical potential difference charged by said pumping capacitor when said signal level was supplied on said signal level, and carries out the pressure up of the end of said pumping capacitor.

[Claim 6] A means to detect said supply voltage is semiconductor integrated circuit equipment according to claim 1 to 5 constituted as a means to detect supply voltage and the electrical potential difference impressed to the gate of said transistor for an output with close relation.

[Claim 7] Semiconductor integrated circuit equipment according to claim 6 with which the latch means for holding the detected detection value until the following signal level is inputted into the outgoing end of a means to detect said supply voltage is established.